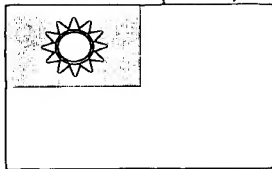


09/815.129

JCLA6683



RECEIVED

JUL 16 2001

TC 2800 MAIL ROOM

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請 日：西元 2001 年 01 月 19 日  
Application Date

申請 案 號：090101240  
Application No.

申請 人：旺宏電子股份有限公司  
Applicant(s)

RECEIVED

NOV 01 2002

Technology Center 2100

局 長

Director General

陳 明 邦

發文日期：西元 2001 年 4 月 03 日  
Issue Date

發文字號：09011004954  
Serial No.

TC 2800 MAIL ROOM

JUL 10 2001

RECEIVED

RECEIVED

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

# 發 明 專 利 說 明 書

一、發明 名稱	中 文	NROM 結構之巨觀模型
	英 文	
二、發明 創作人	姓 名	1 張耀文 2 盧道政 3 蔡文哲
	國 籍	中華民國
	住、居所	1 新竹市關東路 23 巷 21 號 5F 之 3 2 高雄市三民區嫩江街一巷 36 號 3 花蓮市榮正街 36 巷 11 號
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區力行路 16 號
	代 表 人 姓 名	胡定華

## 四、中文發明摘要（發明之名稱：

## NROM 結構之巨觀模型

一種NROM結構之巨觀模型，用以模擬被程式化 NROM 結構之特性。由於程式化 NROM結構之絕緣層中，氮化物層內形成一局部電荷阻陷區域，所以我們以一正常MOS符號元件與一短通道MOS符號元件構成分別代表在氮化物層中無電荷阻陷部分的閘極部分、汲極與源極所形成元件特性，與電荷阻陷區域之部分的閘極、汲極與源極所形成元件特性，而兩者以串聯方式將閘極共同連接以及將短通道MOS符號元件之源極端與正常MOS符號元件之第一汲極端連接方式，可確實模擬程式化 NROM特性。

## 英文發明摘要（發明之名稱：

## 五、發明說明( / )

本發明是有關於一種 NROM 結構，且特別有關於一種 NROM 結構之巨觀模型，用以模擬其實際的運作狀況。

隨著科技的進步，半導體的元件也隨原先昂貴且佔空間的真空管，取代為成本較為低廉、速度快的雙載子電晶體(BJT)，然而其所產生的缺點則是許要消耗大量的能量，所以當積集度增加時，雙載子電晶體的散熱問題成為其應用的一大阻礙，因此近來又發展出金屬氧化半導體(MOS)電晶體以解決上述缺點。

如第 1A 圖繪示典型 N-type MOS 電晶體的結構圖形。其包括有一基底 10、一源極 12、一汲極 14 以及一閘極 16，分別接收  $V_{sub}$ 、 $V_s$ 、 $V_d$  以及  $V_g$  電壓。其中基底 10 例如以 P 型基底所構成，而源極 12、一汲極 14 則為一 N 型區域，至於閘極 16 則由上層的金屬層或多晶矽層 20 與下層的閘氧化層 18 所構成。為簡化其架構以方便說明或應用在電腦上來模擬其特性，我們會以簡化的電路符號表示，例如第 1B 圖所繪示 NMOS 電晶體的電路符號模型，其中左圖繪示有不同電壓( $V_g$ 、 $V_s$ 、 $V_d$ )輸入以及在基底端所輸入的電壓  $V_{sub}$ ，至於右圖中則是另一種更為簡單的相同表示方式，省略掉基底的電壓輸入。

接著，在第 1C 與 1D 圖繪示 NMOS 電晶體的特性圖形。由於 NMOS 電晶體源極與基底通常接地，所以 NMOS 電晶體的操作係由  $V_g$  與  $V_d$  主導。其中  $V_g$  的大小將決定此電晶體的開關狀態(On/OFF state)， $V_d$  決定電晶體處於開的狀態時，所流經汲極、通道和源極的電流大小。所以如第 1C 圖

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(二)

所示在  $V_g < V_t$  時, NMOS 電晶體之電流  $I_d$  幾乎為 0, 當  $V_g > V_t$  時, 使得 NMOS 電晶體之電流  $I_d$  隨著  $V_g$  增加而呈現線性的增加。接著, 我們在第 1D 圖中以  $I_d$  與  $V_d$  在不同  $V_{g1}$ 、 $V_{g2}$ 、 $V_{g3}$ (其中  $V_{g1} < V_{g2} < V_{g3}$ ) 下, 可以看出當  $V_d$  的正電壓不大時,  $I_d$  與  $V_d$  呈現正比關係, 直到  $V_d$  增加到一飽和汲極電壓以後, 我們可以看出  $I_d$  將趨近於飽和而不再增加。

其中上述 NMOS 電晶體在模擬其運作時, 我們會以第 1B 圖所繪示的模型來表示, 然後將第 1C 圖與第 1D 圖的特性參數來作為其模型考慮, 然後透過如電腦的模擬來虛擬各種不同應用電路的運作。

但是, 隨著不同結構的提出, 例如於美國專利 005966603 號與美國專利 005768192 號, 所提出的 NROM 結構, 此結構在程式化之後的特性與 MOS 電晶體差異甚大, 所以以 MOS 電晶體為參數所建立的模組結構, 已經無法解釋其運作, 而無法在電腦上進行有效的電路模擬。

有鑒於此, 本發明的目的就是在提供一種已程式化的 NROM 結構之巨觀模型, 以簡單的模型符號表示, 來清楚的解釋其運作特性, 以有效的在電腦中作模擬。

本發明提出一種 NROM 結構之巨觀模型, 用以模擬程式化 NROM 結構之特性。其中 NROM 結構包括一基底、一汲極、一源極以及一閘極所構成, 汲極位於基底內, 源極亦位於基底內, 閘極位於汲極與源極之間的基底上, 其中閘極由下而上依序形成一第一氧化物層、一氮化物層、一第二氧化物層以及一多晶矽層, 當該 NROM 之記憶胞程式

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(3)

化時，電荷經由該第一氧化物層以進行程式化，並將電荷阻陷在該氮化物層內的窄小的一電荷阻陷區域。

而 NROM 結構之巨觀模型由兩個 MOS 元件所構成。其中，一個 MOS 元件的通道極短，另一個通道較長。較長通道 MOS 符號元件，用以表示沒有電荷阻陷在氮化物層那一部份的特性，其具有第一閘極端、第一汲極端以及第一源極端。至於極短通道 MOS 符號元件，用以表示有電荷阻陷於氧化物層部分的特性，其中短通道 NMOS 符號元件具有較短通道長度、較高啓始電壓以及汲極導致阻障較高特色相異於正常 MOS 符號元件，且其具有一第二閘極端、一第二汲極端以及一第二源極端，上述第二閘極端、第二源極端分別與第一閘極端、第一汲極端連接。

由於本發明建立一 NROM 結構之巨觀模型，並將其特性以正常 MOS 符號元件以及一短通道 MOS 符號元件表示，所以在進行元件模擬時，可以準確的掌握各種不同應用的運作結果。

爲讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖繪示的是典型 MOS 電晶體的結構圖形；

第 1B 圖繪示 NMOS 電晶體的電路符號模型；

第 1C 與 1D 圖繪示 NMOS 電晶體的特性圖形；

第 2 圖繪示的是本發明欲進行模型建立的 NROM 結構

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(4)

圖形：

第 3 圖繪示的是依照本發明一較佳實施例所建構的一種 NROM 結構之巨觀模型圖形；

第 4 A、4B 圖分別繪示 NROM 結構在順向讀取下的特性曲線；

第 4C 圖繪示 NROM 結構在順向讀取的結構圖與元件符號圖形；

第 5 A、5B 圖分別繪示 NROM 結構在逆向讀取下的特性曲線；以及

第 5C 圖繪示 NROM 結構在逆向讀取的結構圖與元件符號圖形。

圖式之標號說明：

- |                     |              |
|---------------------|--------------|
| 10: 基底              | 12: 源極       |
| 14: 汲極              | 16: 閘極       |
| 18: 閘氧化層            | 20: 金屬層或多晶矽層 |
| 30: 基底              | 32: 汲極       |
| 34: 源極              | 36: 閘極       |
| 38: 第一氧化物層          | 40: 氮化物層     |
| 42: 第二氧化物層          | 44: 多晶矽層     |
| 46: 電荷阻陷區域          |              |
| 50、92: 正常 MOS 符號元件  |              |
| 52、90: 短通道 MOS 符號元件 |              |
| 54: 第一閘極端           | 56: 第一汲極端    |
| 58: 第一源極端           | 60: 第二閘極端    |

## 五、發明說明 ( 5 )

62: 第二源極端

64: 第二汲極端

70、72、74、76、80、82、84、86、88、87、88: 曲線  
實施例

如第 2 圖所示本發明欲進行模型建立的 NROM 結構圖形。在圖中，我們可以看出與習知 MOS 電晶體相同部分，為具有一基底 30(例如 P 型基底)，一汲極 32、一源極 34 分別位於基底 30 內，而由 N<sup>+</sup>離子植入所形成的 N<sup>+</sup>離子區域。與習知 MOS 電晶體不同的部分在位於汲極與源極之間基底上的閘極 36 結構，其中閘極由下而上依序有第一氧化物層 38、氮化物層 40、第二氧化物層 42 以及多晶矽層 44，當由汲極端程式化時，氮化物層 40 上具有一電荷阻陷區域 46，位於靠近汲極 32，用以儲存一負電荷，其中電荷阻陷區域 46 之面積遠較氮化物層 40 其他部分小，所以具有較短通道長度、較高啓始電壓以及汲極導致阻障較高特色。

接著，我們以第 3 圖，其繪示的是依照本發明一較佳實施例所建構的一種 NROM 結構之巨觀模型圖形。由於在第 2 圖所繪示的 NROM 結構中，在氮化矽層 40 中存在一電荷阻陷區域 46，所以在建構 NROM 結構的巨觀模型，我們以一正常 MOS 符號元件 50 與一短通道 MOS 符號元件 52 串聯方式來表示，其中正常 MOS 符號元件 50 表示第 2 圖中電荷阻陷區域 46 左側之氮化物層 40 的閘極部分、汲極 32 與源極 34 所形成元件特性，其在第 3 圖中具有第一閘極端 54、第一汲極端 56 以及第一源極端 58。至於另一短通道 MOS 符號元件 52，則是用以表示第 2 圖中電荷阻陷區域 46

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明(6)

之閘極部分、汲極 32 與源極 34 所形成元件特性，由於短通道 NMOS 符號元件 52 具有較短通道長度、較高啓始電壓以及汲極導致阻障較高特色相異於正常 MOS 符號元件，且其具有第二閘極端 60、第二汲極端 64 以及第二源極端 62。上述短通道 MOS 符號元件之第二閘極端 60 與正常 MOS 符號元件 50 之第一閘極端 54，而第二源極端 62 與正常 MOS 符號元件 50 之第一汲極端 56 連接。

接著，我們以第 4A、4B 圖分別繪示 NROM 結構在順向讀取下的特性曲線，來說明本發明於第 3 圖所建構的巨觀模型。首先在第 4A 圖形中，為縱座標為  $I_D$  與橫座標  $V_G$  的 NROM 結構特性，在順向偏壓作用下，可由第 4C 圖上連接電壓的結構圖中，看出一高電壓  $V_D$  加於汲極端 32，而源極 34 連接到接地電壓(GND)，此 NROM cell 在程式化有電荷儲存在電荷阻陷區域 46，至於下面則使用元件符號表示對應到上面的結構圖形。

我們可以看出短通道 MOS 符號元件 52 之第二汲極端 64 會加上一高電壓  $V_D$ ，而正常 MOS 符號元件 50 之第一源極端 58 會接上一接地電壓(GND)。若所輸入的  $V_D$  較低時(例如  $V_D=0.1V$ )，其在汲極端 32(第 4C 圖)所形成空乏區域(Depletion region)<電荷阻陷區域(Trapped region)46，所以幾乎沒有電流，如圖中的曲線 70 所示，此時  $V_{DS}$  幾乎作用在短通道 MOS 符號元件 52。由於短通道 MOS 符號元件 52 係為短通道元件，所以曲線 70 的次啓始(Subthreshold)斜率(mv/dec)很大。反之在  $V_D$  較高時(例如  $V_D=2.1V$ )，其在汲極

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(7)

端 32(第 4C 圖)所形成空乏區域>電荷阻陷區域，因此短通道 MOS 符號元件 52 不會再對 NROM 有所影響，所以整個 NROM 結構由第 4C 圖之正常 MOS 符號元件 50 決定，而運作的曲線 72 的次啓始(Subthreshold)斜率(mv/dec)下降。

另外，我們也可以由 4B 圖中的  $I_D$ - $V_D$  圖形中，直接看出當  $V_D$  較低時無電流  $I_D$  產生，而當  $V_D$  較高時有電流  $I_D$  產生，而圖中的曲線 74、76 則分別代表不同閘極電壓( $V_G=2$ 、 $3V$ )所產生不同  $I_D$ - $V_D$  圖形，與第 1D 圖中繪示一般 MOS 電晶體的  $I_D$ - $V_D$  圖形相比，我們可以看出不論  $V_{G1}$ 、 $V_{G2}$ 、 $V_{G3}$ (其中  $V_{G3}>V_{G2}>V_{G1}$ )，在  $V_D$  達到一定程度時，都會趨於一飽和區域，使得電流不會再快速增加，這與本發明之 NROM 有很大的差異，所以在此我們必須以兩個不同特性 MOS 符號元件串聯可以清楚描述其特性。

接著，在第 5A、5B 圖分別繪示 NROM 結構在逆向讀取下的特性曲線，來說明本發明於第 3 圖所建構的巨觀模型。首先在第 5A 圖形中，為縱座標為  $I_D$  與橫座標  $V_G$  的 NROM 結構特性，在逆向讀取作用下，可由第 5C 圖上面的結構圖中，看出一高電壓  $V_D$  加於汲極端 32，而源極 34 連接到接地電壓(GND)，但此時電荷(斜線圖形)儲存在氮化矽層 40 靠近源極處，至於下面圖形則使用元件符號表示對應到上面的結構圖形，由於電荷儲存在氮化矽層 40，所以左邊為短通道 MOS 符號元件 90，右邊為正常 MOS 符號元件 92。

當輸入的  $V_D$  較低時(例如  $V_D=0.1V$ )，NROM 受限於電荷阻陷區域(Trapped region)40 的高  $V_t$ ，所以幾乎沒有電流，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

如圖中的曲線 80 所示此時  $V_{ds}$  幾乎作用在短通道 MOS 符號元件 90，而無法對正常 MOS 符號元件 92 有作用。由於短通道 MOS 符號元件 90 係為短通道元件，所以和順向偏壓時相同曲線 80 的次啓始(Subthreshold)斜率(mv/dec)很大。至於在  $V_d$  較高時(例如  $V_d=2V$ )，由於電荷阻陷區域是靠近源極端，在逆向讀取下，無法像在順向讀取下，再利用空乏區域使短通道 MOS 元件失去作用。所以在逆向讀取下，短通道 MOS 符號元件 90 與正常 MOS 符號元件 92 會同時影響到整個導通電壓，所以比在順向讀取時需要更大閘極電壓導通，可由圖形中曲線 82 看出。

另外，我們也可以由 5B 圖中的  $I_d-V_d$  圖形中，直接看出當  $V_d$  較低時無電流  $I_d$  產生，而當  $V_d$  較高時有電流  $I_d$  產生，而圖中的曲線 84、86、87、88 則分別代表不同閘極電壓( $V_g=2.8、3.2、3.5、4.0V$ )所產生不同  $I_d-V_d$  圖形，與第 1D 圖中繪示一般 MOS 電晶體的  $I_d-V_d$  圖形相比，我們可以看出不論  $V_{G1}$ 、 $V_{G2}$ 、 $V_{G3}$ (其中  $V_{G3} > V_{G2} > V_{G1}$ )，在  $V_d$  達到一定程度時，都會趨於一飽和區域，使得電流不會再快速增加，這與本發明之 NROM 有很大的差異，所以在此我們必須以兩個不同特性 MOS 符號元件串聯可以清楚描述其特性。

綜上所述，本發明的特徵在提供一種被程式化 NROM 結構之巨觀模型，不管是順向讀取或逆向讀取，都能以簡單的模型符號，來解釋其運作特性，進而設立參數並在電腦上有效的進行電路模擬。

## 五、發明說明(9)

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

1.一種 NROM 結構之巨觀模型，用以模擬該 NROM 結構之特性，其中該 NROM 結構包括一基底；一汲極，位於該基底內；一源極，位於該基底內；以及一閘極，位於該汲極與源極之間的該基底上，其中該閘極由下而上依序形成一第一氧化物層、一氮化物層、一第二氧化物層以及一多晶矽層，當該 NROM 之記憶胞程式化時，電荷經由該第一氧化物層以進行程式化，並將電荷阻陷在該氮化物層內的窄小的一電荷阻陷區域，該 NROM 結構之巨觀模型包括：

一較長通道MOS符號元件，用以表示沒有電荷阻陷之氮化物層那一部份的特性，並具有一第一閘極端、一第一汲極端以及一第一源極端；以及

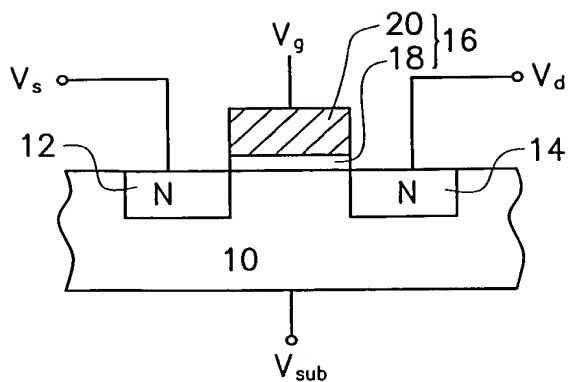
一極短通道MOS符號元件，用以表示有電荷阻陷於氮化物層部分的特性，其中該短通道NMOS符號元件具有較短通道長度、較高啓始電壓以及汲極導致阻障較高特色相異於該正常MOS符號元件，且具有一第二閘極端、一第二汲極端以及一第二源極端，上述該第二閘極端、該第二源極端分別與該第一閘極端、該第一汲極端連接。

(請先閱讀背面之注意事項再填寫本頁)

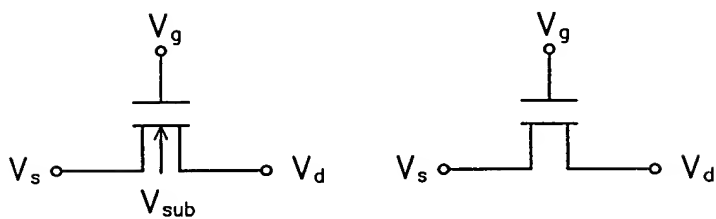
裝

訂

線



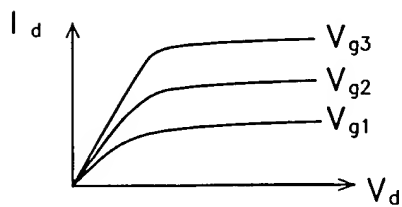
第 1A 圖



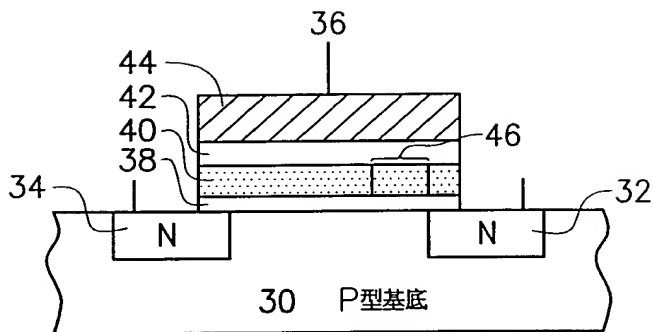
第 1B 圖



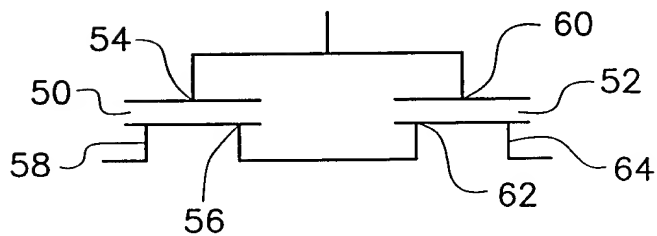
第 1C 圖



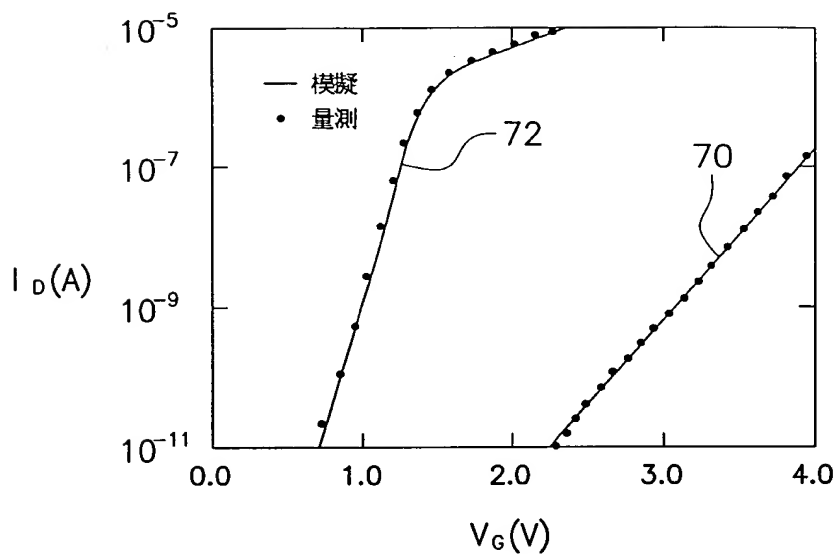
第 1D 圖



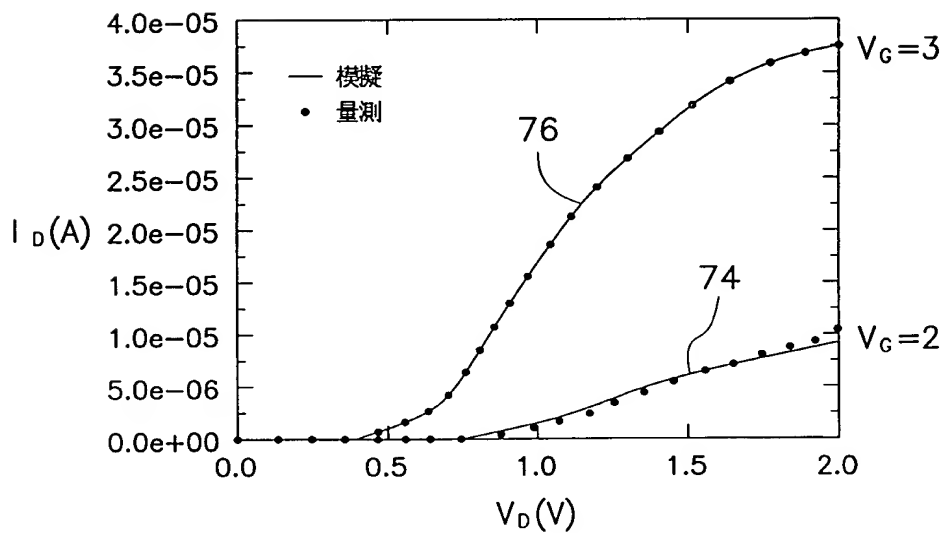
第 2 圖



第 3 圖

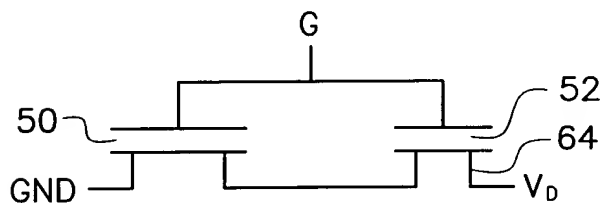
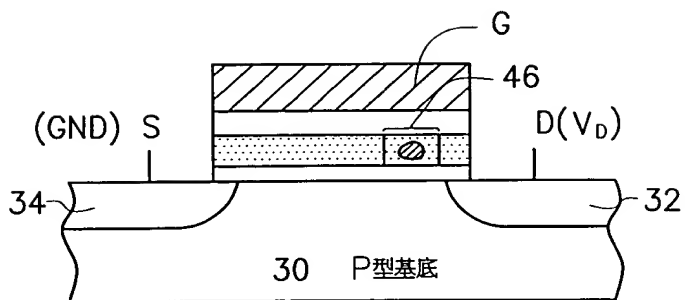


第4A圖

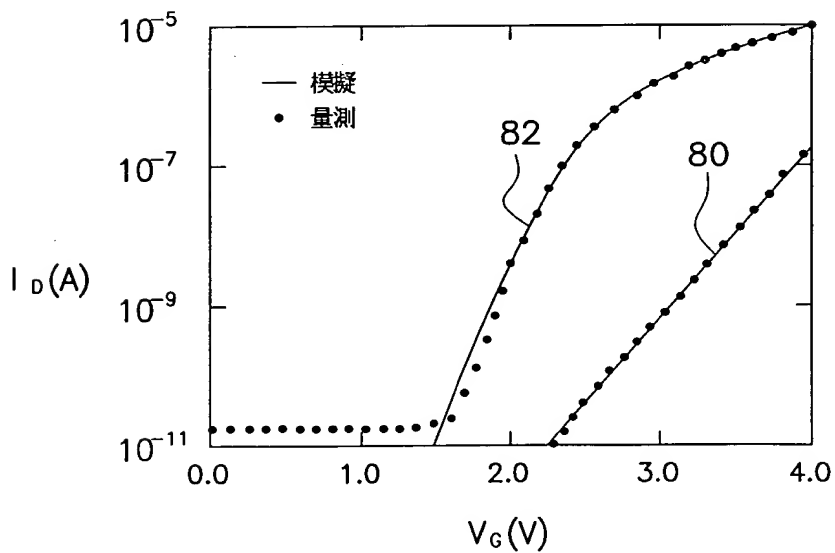


第4B圖

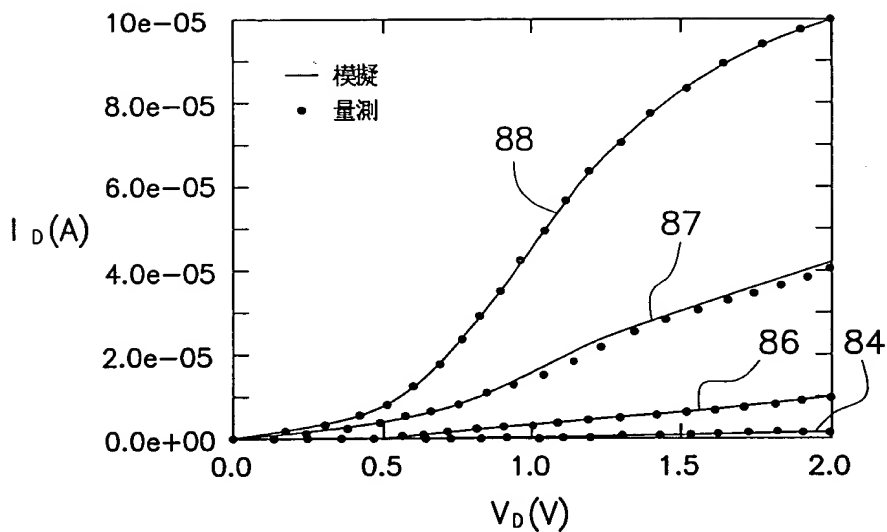




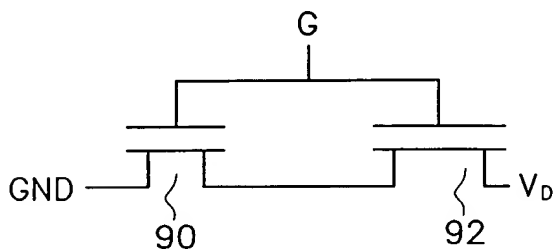
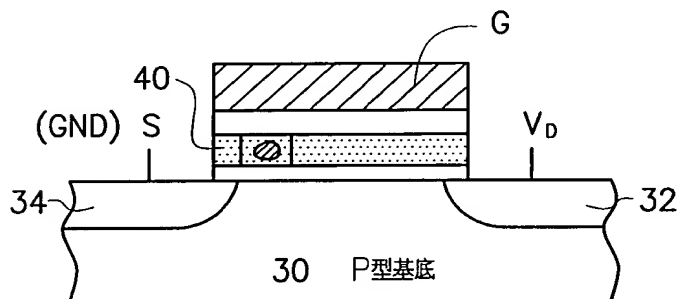
第4C圖



第5A圖



第5B圖



第5C圖